

03500.017750.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:	)	
	:	Examiner: Not Yet Assigned
SHIN KIKUCHI	)	
	:	Group Art Unit: Not Yet Assigned
Application No.: 10/724,763	)	
	:	
Filed: December 2, 2003	)	
	:	
For: PHOTOELECTRIC CONVERSION	)	
DEVICE AND IMAGE PICK-UP	:	
SYSTEM USING THE	)	
PHOTOELECTRIC CONVERSION	:	
DEVICE	)	January 29, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

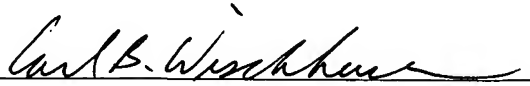
Sir:

In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed is  
a certified copy of the following foreign application:

Japan 2002-351290, filed December 3, 2002.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

  
\_\_\_\_\_  
Attorney for Applicant  
Carl B. Wischhusen  
Registration No.: 43,279

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3800  
Facsimile: (212) 218-2200

NY\_MAIN 402942v1

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月    3 日  
Date of Application:

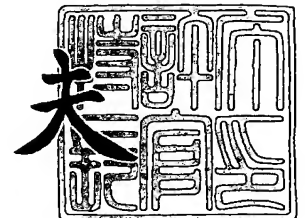
出 願 番 号                      特 願 2 0 0 2 - 3 5 1 2 9 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 5 1 2 9 0 ]

出      願      人                      キヤノン株式会社  
Applicant(s):

2 0 0 3 年 1 2 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 226455

【提出日】 平成14年12月 3日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335  
H01L 27/14

【発明の名称】 光電変換装置

【請求項の数】 1

【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 菊池 伸

【特許出願人】  
【識別番号】 000001007  
【氏名又は名称】 キヤノン株式会社  
【代表者】 御手洗 富士夫

【代理人】  
【識別番号】 100065385  
【弁理士】  
【氏名又は名称】 山下 穰平  
【電話番号】 03-3431-1831

【選任した代理人】  
【識別番号】 100122921  
【弁理士】  
【氏名又は名称】 志村 博  
【電話番号】 03-3431-1831

【手数料の表示】  
【予納台帳番号】 010700  
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213163

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光電変換装置

【特許請求の範囲】

【請求項 1】 入射光に対応する電荷を蓄積する光電変換領域と、該光電変換領域からの信号電荷が増幅用の電界効果トランジスタに入力される光電変換装置において、

前記光電変換領域はその周囲をポテンシャルバリア領域で囲み、

前記ポテンシャルバリア領域の一部に欠損領域を生じさせ、

前記欠損領域に隣接して、前記電界効果トランジスタの、前記光電変換領域の導電型と同一導電型の一方の主電極領域を配置したことを特徴とする光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光電変換装置に係わり、特に入射光に対応する電荷を蓄積する光電変換領域と、該光電変換領域からの信号電荷が増幅用の電界効果トランジスタに入力される光電変換装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】

図10(a)は従来のCMOSセンサーの構成を示す平面図、図10(b)は図10(a)の線X-X'における模式的断面図である。図10(a)、(b)に示すように、pウェル1004中にフォトダイオード1003を形成し、フォトダイオード1003に蓄積された電荷は転送電極1006の電位をハイレベルとすることで、浮遊拡散（フローティングディフュージョン）領域1011及び浮遊拡散領域1011に接続されるMOSトランジスタ1007のゲートに転送され、このMOSトランジスタ1007により増幅されて信号が出力される。ここで、図10(b)に示すように、フォトダイオード1003には選択酸化膜1001を隔てて、それぞれ隣接する画素のフォトダイオード1010とMOSトランジスタ1007のドレイン領域1005とが配置される。なおフォトダイオ

ード1010に蓄積された電荷を読み出すためのMOSトランジスタはここでは省略されている。フォトダイオード1003はpウェル1004との間で接合部を構成し、光照射で生じた電子、正孔のうち電子はフォトダイオード1003に蓄積され、正孔は基板1008側に排出される。フォトダイオード1003はpウェル1004と、表面側に設けられたp+領域とで挟まれた埋込型フォトダイオードを構成する。

#### 【0003】

このような選択酸化膜1001を用いた素子構造では、フォトダイオード1003で飽和に至った際に電子がドレイン領域へもれ込まずに隣接画素（本件でいうところのフォトダイオード1010）へもれ込む確率が大きいため、クロストークの原因となっていた。

尚、1002は選択酸化膜1001下のチャネルストッパー、1008は基板である。

#### 【0004】

これに対し、特許文献1のごとく周囲に電源につながる拡散等を配置し、これをラテラルオーバーフロードレイン（LOD）と共用するという例がある。しかし、これでは収集しようと思ったキャリアまでドレイン領域部分に取り込まれることになり効率が悪かった。

#### 【0005】

##### 【特許文献1】

特開2000-260971

#### 【0006】

##### 【課題を解決するための手段】

本発明の光電変換装置は、入射光に対応する電荷を蓄積する光電変換領域と、該光電変換領域からの信号電荷が増幅用の電界効果トランジスタに入力される光電変換装置において、

前記光電変換領域はその周囲をポテンシャルバリア領域で囲み、

前記ポテンシャルバリア領域の一部に欠損領域を生じさせ、

前記欠損領域に隣接して、前記電界効果トランジスタの、前記光電変換領域の



導電型と同一導電型の一方の主電極領域を配置したことを特徴とする。上記本発明は、発生キャリア（電荷）の収集効率を上げるために画素周囲をポテンシャルバリア（障壁）にて囲み、又、ポテンシャルバリア光電変換領域に蓄積するキャリアが電子であるならば p 型不純物等を用いて形成する。これにより隣接画素などにもれ込むことを抑圧することができる。

#### 【0007】

しかし、飽和以上のキャリアを所望の個所に逃がすことが求められる場合がある。そのために前記ポテンシャルバリア（障壁）を一部除去し、その対面に電界効果トランジスタの主電極領域（例えば、ドレイン領域）を配置する。その際、ポテンシャルの近接効果が有効な距離においては障壁形成用の不純物を除去するだけでその効果が得られる。そして除去した間隙を調整することで障壁高さを制御することも可能である。

#### 【0008】

また、除去した領域によりバリアを低くするための不純物を導入する。これはバリア用不純物より低濃度のドーパント導入する、もしくは該領域に逆導電型のドーパントをカウンタードープして該領域の実効不純物濃度を低下することにより得られる。これにより、飽和付近になると安定してラテラルオーバーフロードレイン（LOD）にむけて過剰キャリアが流れることができる。

#### 【0009】

上記のように、LOD（ラテラルオーバーフロードレイン）形成において光電変換領域をポテンシャルバリアで囲むこと、そのバリアを一部除去し意図的にバリアの低い部分を形成し、その先に主電極領域（ドレイン領域或いはソース領域）部分を配置する、ことにより、飽和付近において、過剰なキャリアが隣接画素もしくは他のフローティングディフュージョンに流れ込まないため、スミア、クロストークなどが発生しない。これにより、より高感度、低クロストークの光電変換装置が形成できる。

#### 【0010】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて詳細に説明する。



## 【0011】

## (実施形態1)

図1 (a) は本発明の第1実施形態の光電変換装置の構成を示す平面図、図1 (b) は図1 (a) の線A-A'における模式的断面図である。図1 (a)、(b) に示すように、p ウェル4 中にフォトダイオード（光電変換領域となる）3 を形成し、フォトダイオード3 に蓄積された電荷は転送電極6 の電位をハイレベルとすることで、浮遊拡散（フローティングディフュージョン）領域13 及び浮遊拡散領域13 に接続されるMOS トランジスタ7 のゲートに転送され、このMOS トランジスタ7 により増幅されて信号が出力される。ここで、図1 (b) に示すように、フォトダイオード3 には選択酸化膜1（フォトダイオード3 及び10 の周囲を囲っている）を隔てて、隣接する画素のフォトダイオード（光電変換領域となる）10 が配置されている。2 は選択酸化膜1 下のチャネルストップ層（チャネルストップ層）、5 はMOS トランジスタ7 の主電極領域としてのドレイン領域、8 は基板、14 は浮遊拡散領域13 を所定の電位にリセットするためのリセット用のMOS トランジスタのゲートである。なお、主電極領域として本実施形態ではドレイン領域を用いているが、電界効果トランジスタのソース領域であっても良い。又、フォトダイオード10 に蓄積された電荷を読み出すためのMOS トランジスタはここでは省略されている。フォトダイオード3 は光照射で生じた電子、正孔のうち電子を蓄積し、正孔は基板8 側に排出される。フォトダイオード3 はp ウェル4 と、表面側に設けられたp<sup>+</sup>領域とで挟まれており、いわゆる埋込型フォトダイオードを構成する。なお、本実施形態ではフォトダイオード3 はp ウェル4 内に形成されているが、半導体基板、エピタキシャル層に形成されてもよい。また、ドレイン領域5 は固定電位もしくはそれに準じた電位に接続されていることが望ましい。又、9 は図10 に示した光電変換装置において設けられていた、フォトダイオードとドレイン領域との間にあったポテンシャルバリア（ここでは、選択酸化膜1 およびその直下のチャネルストップ層2）が形成されていない欠損領域（オーバーフロー用チャネル領域）である。すなわち、欠損領域（オーバーフロー用チャネル領域）9 を形成することでその領域において意図的に障壁を低くする。なお、フォトダイオード3、10 の周囲を囲う選択

酸化膜 1 およびその直下のチャネルストップ層 2 は、欠損領域 9 の他に、フォトダイオード 3 から浮遊拡散領域 13 へ電荷を転送するために転送電極 6 の一部直下も形成されていない。

#### 【0012】

これによりフォトダイオード 3 が飽和付近に達した時にバリアの低いオーバーフロー用チャネル領域 9 を通ってドレイン領域 5 に過剰キャリアが流れることになり、過剰キャリアが隣接画素のフォトダイオード 10 には漏れこまずクロストークが発生しにくくなる。

#### 【0013】

なお図 1 (b) では不純物分布のみ記述しているが、ポテンシャルの分布はチャネルストップ層 2 よりひとまわり大きな領域 (ポテンシャルバリア) 12 に分布し、隣接画素のフォトダイオード 10 への漏れこみを阻止している。

#### 【0014】

##### (実施形態 2)

図 2 (a) は本発明の第 2 実施形態の光電変換装置の構成を示す平面図、図 2 (b) は図 2 (a) の線 B-B' のおける模式的断面図である。なお、図 2 において、図 1 の構成部材と同一構成部材については同一符号を付して説明を省略する。

#### 【0015】

本実施形態は、第 1 の実施形態に比べてチャネルストップ層 2 の下に p 型で形成された埋め込みポテンシャルバリア層 (埋込分離領域となる) 11 を設け、フォトダイオード 3, 10 を囲んでいる。第 1 実施形態のオーバーフロー用チャネル領域 9 と同様に、29 は欠損領域としてのオーバーフロー用チャネル領域である。具体的には、選択酸化膜 1 およびチャネルストップ層 2 がない領域である。図 2 (b) では不純物分布をおもに図示しているが、ポテンシャルの分布はチャネルストップ層 2 及びポテンシャルバリア層 11 よりひとまわり大きな領域に分布しチャネルストップ層 2, ポテンシャルバリア層 11 につながる一点鎖線で示す領域 (ポテンシャルバリア) 12 のような縦方向の壁を形成している。この構成によりフォトダイオード 3 でオーバーフローしたキャリア (電子) は、よりド

レイン領域5にオーバーフローしやすくなるので、隣接画素のフォトダイオード10へのクロストークを更に低減できる。

#### 【0016】

尚、本実施形態及び以下の実施形態において、フォトダイオード3及び10の転送トランジスタのゲートが同一の層で形成されている点で実施形態1と異なるが、実施形態1の様に別々に形成されてあっても良い。尚、リセットMOSトランジスタのゲートについても同様である。

#### 【0017】

##### (実施形態3)

図3(a)は本発明の第3実施形態の光電変換装置の構成を示す平面図、図3(b)は図3(a)の線C-C'における模式的断面図である。なお、図3において、図2の構成部材と同一構成部材については同一符号を付して説明を省略する。

#### 【0018】

本実施形態は、実施形態2と同様に埋め込み型のポテンシャルバリア層11および表面のチャネルストップ層2でフォトダイオード3、10を囲んでいるが、フォトダイオード3とド레인領域5との間の欠損領域39のみポテンシャルバリア層11が配置されていない。

#### 【0019】

図3(b)ではポテンシャルの分布はチャネルストップ層2及びポテンシャルバリア層11よりひとまわり大きな領域に分布しチャネルストップ層2、ポテンシャルバリア層11の各々周囲、もしくはチャネルストップ層2、ポテンシャルバリア層11につながる一点鎖線で示す領域(ポテンシャルバリア)12のような縦方向の壁を形成している。欠損領域39のみポテンシャルバリア層11を配置しないことにより、基板内部を通じて過剰キャリアがド레인領域5に到達し、画素間クロストークを抑圧する。

#### 【0020】

##### (実施形態4)

図4(a)は本発明の第4実施形態の光電変換装置の構成を示す平面図、図4

(b) は図 4 (a) の線 D-D' における模式的断面図である。

#### 【0021】

本実施形態は、第 3 実施形態に対しウェルと基板との極性を反対、すなわち、n ウェル 104、p 基板 108 としている点で異なる。

#### 【0022】

図 4 (a)、(b) に示すように、n ウェル 104 中にフォトダイオード (光電変換領域となる) 103 を形成し、フォトダイオード 103 に蓄積された電荷は転送電極 106 の電位をハイレベルとすることで、浮遊拡散 (フローティングディフュージョン) 領域 113 及び浮遊拡散領域 113 に接続される MOS トランジスタ 107 のゲートに転送され、この MOS トランジスタ 107 により増幅されて信号が出力される。ここで、図 4 (b) に示すように、フォトダイオード 103 には選択酸化膜 101 を隔てて、隣接する画素のフォトダイオード (光電変換領域となる) 110 が配置される。102 は選択酸化膜 101 下のチャネルストッパー、105 は MOS トランジスタ 107 のドレイン領域 (主電極領域となる)、108 は p 基板、114 は浮遊拡散領域 113 を所定の電位にリセットするためのリセット用の MOS トランジスタのゲートである。である。なおフォトダイオード 110 に蓄積された電荷を読み出すための MOS トランジスタはここでは省略されている。なおここではフォトダイオードはウェル内に形成されているが、半導体基板、エピタキシャル層に形成されてもよい。ドレイン領域は固定電位もしくはそれに準じた電位に接続されていることが望ましい。フォトダイオード 103 下にはフォトダイオード 103 と導電型の異なる p 基板が配置されているが、フォトダイオード 103 と導電型の異なる埋込層、半導体基板等の半導体領域が配置されていればよい。

#### 【0023】

本実施形態では、チャネルストップ層 102、ポテンシャル障壁層 111、基板 108 にてフォトダイオード 103、110 を三次元的に囲む障壁を形成するため、画素ごとの分離が可能である。これにより、より多くのキャリアを収集することが可能となる。図 4 (b) においては、ポテンシャルの分布は p 基板 108、チャネルストップ層 102 及びポテンシャルバリア層 111 よりひとまわり



大きな領域に分布し、p 基板 108、チャンネルストップ層 102、ポテンシャルバリア層 111 の各々周囲もしくは p 基板 108、チャンネルストップ層 102、ポテンシャルバリア層 111 につながる図中の一点鎖線で示すような三次元的なポテンシャルの壁 112 を形成する。それにより画素毎に電氣的な分離が可能となる。この際にもオーバーフロー機能を持たせるために欠損領域（オーバーフロー用チャンネル）109 のみポテンシャル障壁層 111 が無い領域を設け、飽和電荷を確実にドレイン領域 105 に運ぶことができる。尚、p<sup>+</sup>領域 111（埋込分離領域となる）は MOS トランジスタ 107 に深さ方向からのキャリアが浸入しないように配置されている。すなわち、p<sup>+</sup>領域 111 が MOS トランジスタ 107 直下に配置されている。この p<sup>+</sup>領域 111 は転送電極 106 及びリセット電極 114 の下に形成されている。また、浮遊拡散領域 113 下にも形成されてあっても良い。

#### 【0024】

##### （実施形態 5）

図 5（a）は本発明の第 5 実施形態の光電変換装置の構成を示す平面図、図 5（b）は図 5（a）の線 E-E' における模式的断面図である。尚、図 5 において、図 4 の構成部材と同一構成部材については同一符号を付して説明を省略する。

#### 【0025】

本実施形態は欠損領域としてのオーバーフロー用チャンネル 109 の幅を制御しチャンネルバリアの高さを制御している点で実施形態 4 と異なる。

#### 【0026】

本実施形態ではオーバーフロー用チャンネル 109 の幅を図 5（a）中に示したもののよりもその間隙を狭くしオーバーフローしにくくしたものである。これはポテンシャルバリアが不純物分布に加えてその近接効果にも依存することを利用したものである。具体的には、オーバーフロー用チャンネル 109 の間隙を  $2\mu\text{m}$  以下にすることによりその効果が得られ、 $0.8\mu\text{m}$  程度にすることで LOD（ラテラルオーバーフロードレイン）として適度なバリアを形成することができる。画素の分離に関しては実施形態 4 と同様にポテンシャルの壁 112 があるために

、画素毎の分離が可能となっていることは言うまでもない。

#### 【0027】

(実施形態6)

図6(a)は本発明の第6実施形態の光電変換装置の構成を示す平面図、図6(b)は図6(a)の線F-F'における模式的断面図である。なお、図6において、図5の構成部材と同一構成部材については同一符号を付して説明を省略する。

#### 【0028】

本実施形態は、第5実施形態において示したオーバーフロー用チャネル109に意図的にドーピングを行い通常のバリア層111よりも低濃度の不純物分布を形成することでLODを構成する例である。オーバーフロー用チャネル(不純物拡散領域となる)109の領域のみ低濃度のドーピングを行うか、もしくはオーバーフロー用チャネル109の領域にバリア層111の逆導電型の不純物をカウンタードープしても良い。画素の分離に関しては実施形態4と同様にポテンシャルの壁112があるために、画素毎の分離が可能となっていることは言うまでもない。

#### 【0029】

(実施形態7)

図7(a)は本発明の第7実施形態の光電変換装置の構成を示す平面図、図7(b)は図7(a)の線G-G'における模式的断面図である。なお、図7において、図4の構成部材と同一構成部材については同一符号を付して説明を省略する。

#### 【0030】

本実施形態は、第4実施形態において基板方向の障壁を緩和させオーバーフローチャネルを形成したものである。ポテンシャル障壁層111をドレイン領域105の下部のみ(欠損領域109)排除し(ポテンシャル障壁層111がドレイン領域105の下部まで延在しないようにし)、欠損領域109を通じてフォトダイオード103からドレイン領域105へ過剰キャリアを運ぶことができる。本実施形態においても第5実施形態と同様に欠損領域109の幅を調節すること



でLODのオーバーフローの度合いを制御することが可能である。画素の分離に関しては実施形態4と同様にポテンシャルの壁112があるために、画素毎の分離が可能となっていることは言うまでもない。

#### 【0031】

(実施形態8)

図8(a)は本発明の第8実施形態の光電変換装置の構成を示す平面図、図8(b)は図8(a)の線H-H'における模式的断面図である。なお、図8において、図7の構成部材と同一構成部材については同一符号を付して説明を省略する。

#### 【0032】

本実施形態は、第7実施形態に示した欠損領域としてのオーバーフロー用チャネル109に意図的にドーピングを行い通常のバリア層111よりも低濃度の不純物分布を形成することでLODを構成する例である。欠損領域109のみ低濃度のドーピングを行うか、もしくは欠損領域109にバリア層111の逆導電型の不純物をカウンタードープしても良い。画素の分離に関しては実施形態4と同様にポテンシャルの壁112があるために、画素毎の分離が可能となっていることは言うまでもない。

#### 【0033】

以上説明した各実施形態は理解を容易にするために、不純物の導電型をp、nと表記しているがこの極性を全て逆にしても同様の効果が得られることは言うまでもない。

#### 【0034】

次に上記各実施形態の光電変換装置を用いた撮像システムについて説明する。図9に基づいて、本発明の光電変換装置をスチルカメラに適用した場合の一実施例について詳述する。

#### 【0035】

図9は本発明の光電変換装置を“スチルビデオカメラ”に適用した場合を示すブロック図である。

#### 【0036】



図9において、201はレンズのプロテクトとメインスイッチを兼ねるバリア、202は被写体の光学像を固体撮像素子（光電変換装置）204に結像させるレンズ、203はレンズ202を通った光量を可変するための絞り、204はレンズ202で結像された被写体を画像信号として取り込むための固体撮像素子、206は固体撮像素子204より出力される画像信号のアナログ→デジタル変換を行うA/D変換器、207はA/D変換器206より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、208は固体撮像素子204、撮像信号処理回路205、A/D変換器206、信号処理部207に、各種タイミング信号を出力するタイミング発生部、209は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、210は画像データを一時的に記憶するためのメモリ部、111は記録媒体に記録または読み出しを行うためのインターフェース部、112は画像データの記録または読み出しを行うための半導体メモリ等の着脱可能な記録媒体、113は外部コンピュータ等と通信するためのインターフェース部である。

#### 【0037】

次に、前述の構成における撮影時のスチルビデオカメラの動作について、説明する。

#### 【0038】

バリア201がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、さらに、A/D変換器206などの撮像系回路の電源がオンされる。

#### 【0039】

それから、露光量を制御するために、全体制御・演算部209は絞り203を開放にし、固体撮像素子204から出力された信号はA/D変換器206で変換された後、信号処理部207に入力される。そのデータを基に露出の演算を全体制御・演算部209で行う。

#### 【0040】

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部209は絞りを制御する。



**【 0 0 4 1 】**

次に、固体撮像素子 2 0 4 から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部 2 0 9 で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断したときは、再びレンズを駆動し測距を行う。

**【 0 0 4 2 】**

そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像素子 2 0 4 から出力された画像信号は A/D 変換器 2 0 6 で A-D 変換され、信号処理部 2 0 7 を通り全体制御・演算 2 0 9 によりメモリ部に書き込まれる。その後、メモリ部 2 1 0 に蓄積されたデータは、全体制御・演算部 2 0 9 の制御により記録媒体制御 I/F 部を通り半導体メモリ等の着脱可能な記録媒体 2 1 2 に記録される。又外部 I/F 部 2 1 3 を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

**【 0 0 4 3 】**

以上本発明の実施形態について説明したが、本発明の好適な実施の態様は以下に説明する態様である。

**【 0 0 4 4 】**

(実施態様 1) 入射光に対応する電荷を蓄積する光電変換領域と、該光電変換領域からの信号電荷が増幅用の電界効果トランジスタに入力される光電変換装置において、

前記光電変換領域はその周囲をポテンシャルバリア領域で囲み、

前記ポテンシャルバリア領域の一部に欠損領域を生じさせ、

前記欠損領域に隣接して、前記電界効果トランジスタの、前記光電変換領域の導電型と同一導電型の一方の主電極領域を配置したことを特徴とする光電変換装置。

**【 0 0 4 5 】**

(実施態様 2) 実施態様 1 に記載の光電変換装置において、前記ポテンシャルバリア領域は、少なくとも選択酸化膜およびその直下のチャネルストップ層を含むことを特徴とする光電変換装置。

## 【0046】

(実施態様3) 実施態様1に記載の光電変換装置において、前記ポテンシャルバリア領域は、少なくとも前記光電変換領域の導電型と反対導電型の埋込分離領域を含むことを特徴とする光電変換装置。

## 【0047】

(実施態様4) 実施態様1～3のいずれかに記載の光電変換装置において、前記光電変換領域は、前記光電変換領域の導電型と同一の導電型であって、前記光電変換領域の不純物濃度よりも低い不純物濃度の低不純物濃度領域内に形成されていることを特徴とする光電変換装置。

## 【0048】

(実施態様5) 実施態様4に記載の光電変換装置において、前記電界効果型トランジスタの下に前記光電変換領域の導電型と反対導電型の埋込分離領域を設けたことを特徴とする光電変換装置。

## 【0049】

(実施態様6) 実施態様5に記載の光電変換装置において、前記電界効果型トランジスタの下に設けられた前記埋込分離領域は、前記光電変換領域よりも広い領域を囲っており、前記埋込分離領域により囲われた領域は感光領域として機能することを特徴とする光電変換装置。

## 【0050】

(実施態様7) 実施態様1～6のいずれかに記載の光電変換装置において、前記欠損領域に前記光電変換領域の導電型と反対導電型の不純物拡散領域を設けたことを特徴とする光電変換装置。

## 【0051】

(実施態様8) 実施態様5に記載の光電変換装置において、前記埋込分離領域は前記電界効果トランジスタの前記一方の主電極領域下の少なくとも一部に設けられていないことを特徴とする光電変換装置。

## 【0052】

(実施態様9) 実施態様1に記載の光電変換装置において、前記ポテンシャルバリア領域は、少なくとも前記光電変換領域の導電型と反対導電型の半導体

領域を含み、前記欠損領域に、前記半導体領域の導電型と同一の導電型であって、前記半導体領域の不純物濃度よりも低い不純物濃度の埋込領域を配置したことを特徴とする光電変換装置。

【0053】

(実施態様10) 実施態様4に記載の光電変換装置において、前記低不純物濃度領域は、半導体基板、エピタキシャル層もしくはウェルであることを特徴とする光電変換装置。

【0054】

(実施態様11) 実施態様1～10のいずれかに記載の光電変換装置において、前記一方の主電極領域は固定電位もしくはそれに準じた電位に接続されていることを特徴とする光電変換装置。

【0055】

(実施態様12) 実施態様1～11のいずれかに記載の光電変換装置において、前記光電変換領域と反対導電型の半導体領域を前記光電変換領域の下方に有することを特徴とする光電変換装置。

【0056】

(実施態様13) 実施態様1～12のいずれかに記載の固体撮像装置と、該固体撮像装置へ光を結像する光学系と、該固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【0057】

【発明の効果】

以上説明したように、本発明によれば、LOD（ラテラルオーバーフロードレイン）形成において、光電変換領域をポテンシャルバリアで囲むこと、そのバリアを一部除去し意図的にバリアの低い部分を形成し、その先に電界効果トランジスタの主電極領域部分を配置する、ことにより、飽和付近において、過剰なキャリアが隣接画素もしくは他のフローティング端子に流れ込まないため、スミア、クロストークなどが発生しない。したがって、より高感度、低クロストークの光電変換装置が形成できる。

【図面の簡単な説明】

**【図 1】**

(a) は本発明の第 1 実施形態の光電変換装置の構成を示す平面図、(b) は線 A - A' における模式的断面図である。

**【図 2】**

(a) は本発明の第 2 実施形態の光電変換装置の構成を示す平面図、(b) は線 B - B' における模式的断面図である。

**【図 3】**

(a) は本発明の第 3 実施形態の光電変換装置の構成を示す平面図、(b) は線 C - C' における模式的断面図である。

**【図 4】**

(a) は本発明の第 4 実施形態の光電変換装置の構成を示す平面図、(b) は線 D - D' における模式的断面図である。

**【図 5】**

(a) は本発明の第 5 実施形態の光電変換装置の構成を示す平面図、(b) は線 E - E' における模式的断面図である。

**【図 6】**

(a) は本発明の第 6 実施形態の光電変換装置の構成を示す平面図、(b) は線 F - F' における模式的断面図である。

**【図 7】**

(a) は本発明の第 7 実施形態の光電変換装置の構成を示す平面図、(b) は線 G - G' における模式的断面図である。

**【図 8】**

(a) は本発明の第 8 実施形態の光電変換装置の構成を示す平面図、(b) は線 H - H' における模式的断面図である。

**【図 9】**

本発明の光電変換装置をスチルビデオカメラに適用した場合を示すブロック図である。

**【図 1 0】**

(a) は従来の光電変換装置の構成を示す平面図、(b) は線 X - X' にお

る模式的断面図である。

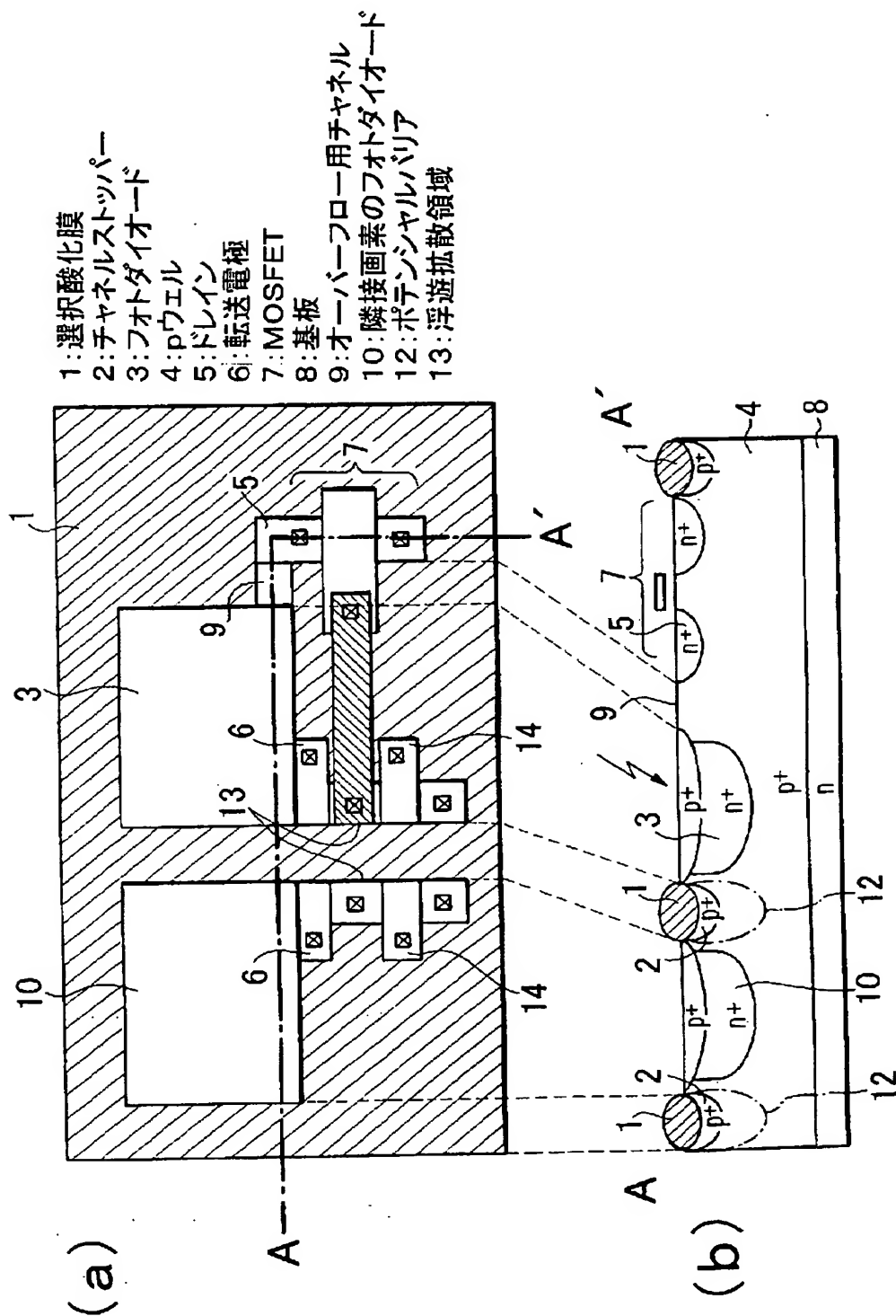
【符号の説明】

- 1 選択酸化膜
- 2 チャネルストッパー（チャネルストップ層）
- 3 フォトダイオード（光電変換領域）
- 4 p ウェル
- 5 ドレイン領域（主電極領域）
- 6 転送電極
- 7 MOS トランジスタ
- 8 基板
- 9 オーバーフロー用チャネル領域
- 1 0 フォトダイオード（光電変換領域）
- 1 3 浮遊拡散（フローティングディフュージョン）領域
- 1 0 1 選択酸化膜
- 1 0 2 チャネルストッパー（チャネルストップ層）
- 1 0 3 フォトダイオード（光電変換領域）
- 1 0 4 n ウェル
- 1 0 5 ドレイン領域（主電極領域）
- 1 0 6 転送電極
- 1 0 7 MOS トランジスタ
- 1 0 8 p 基板
- 1 1 0 フォトダイオード（光電変換領域）
- 1 1 1 ポテンシャル障壁層
- 1 1 3 浮遊拡散（フローティングディフュージョン）領域

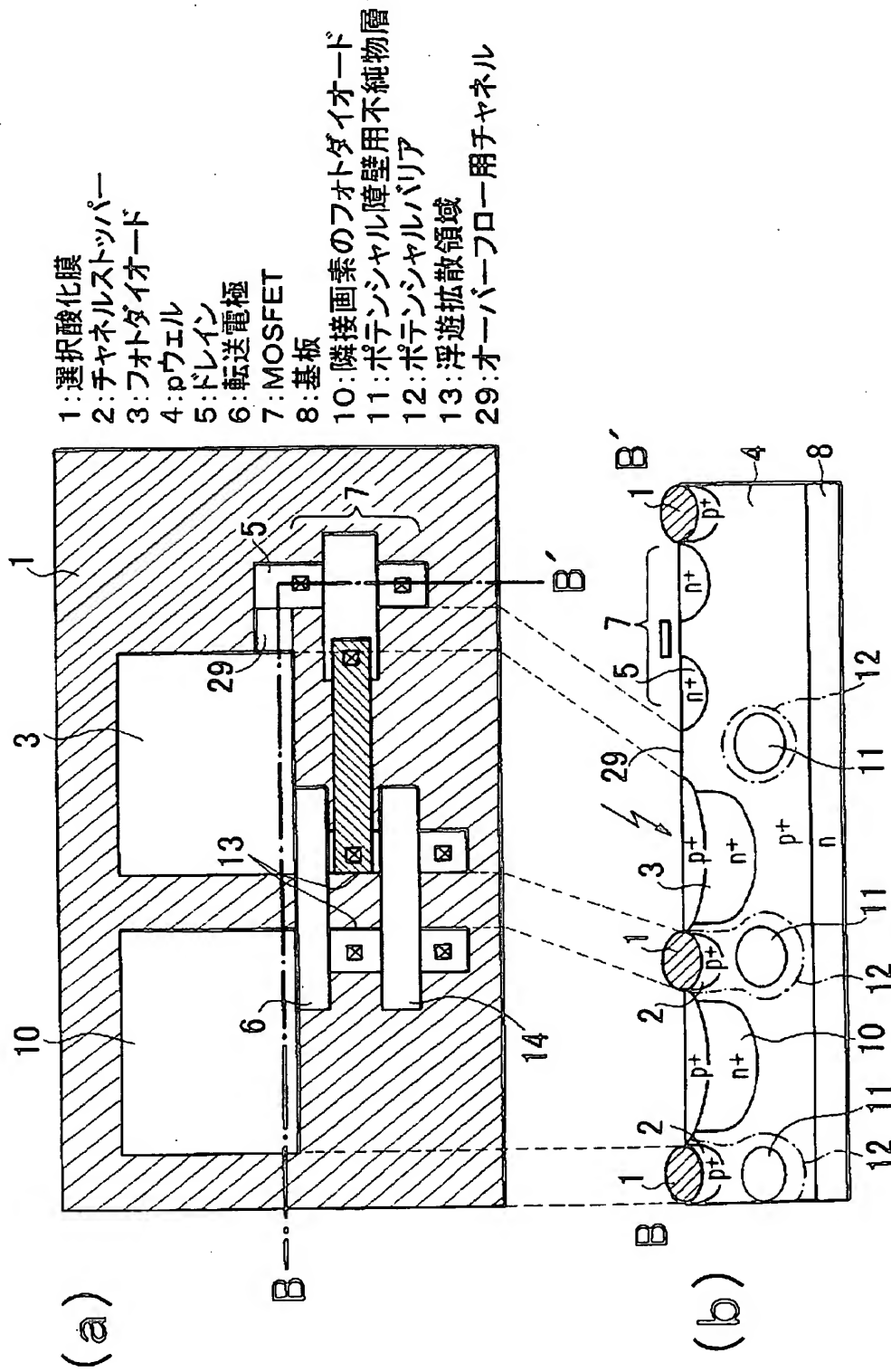
【書類名】

図面

【図 1】



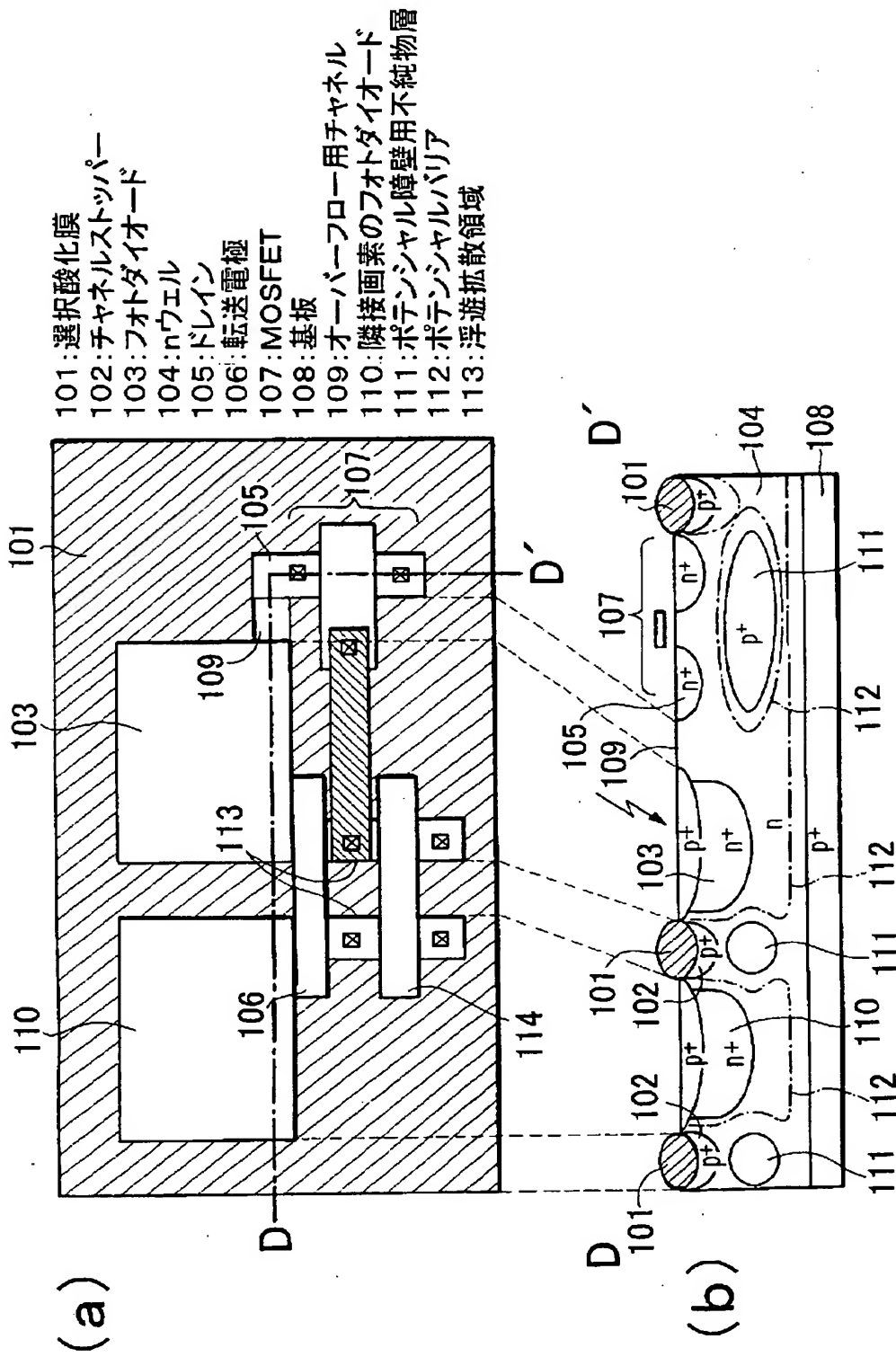
【図 2】



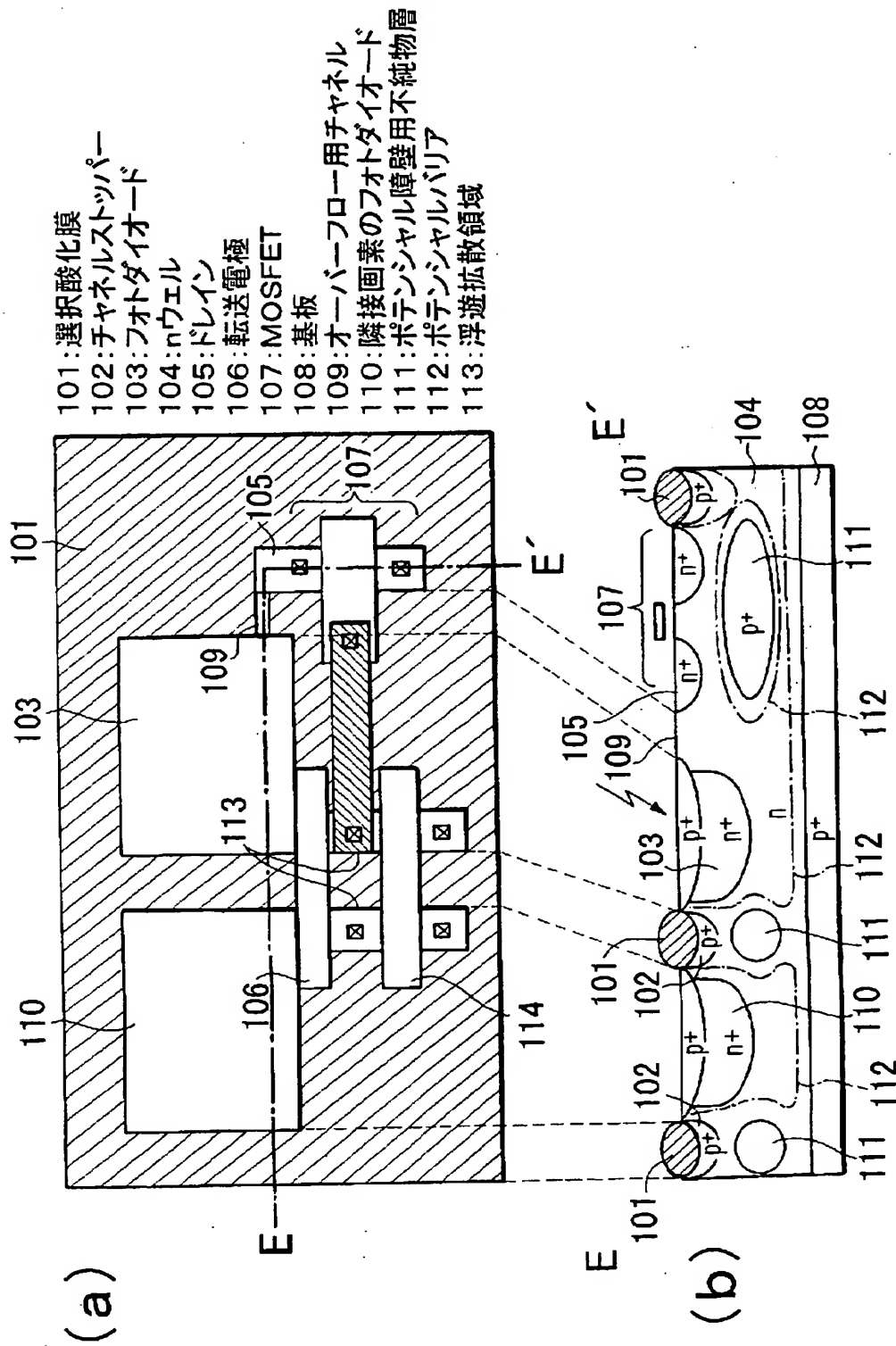




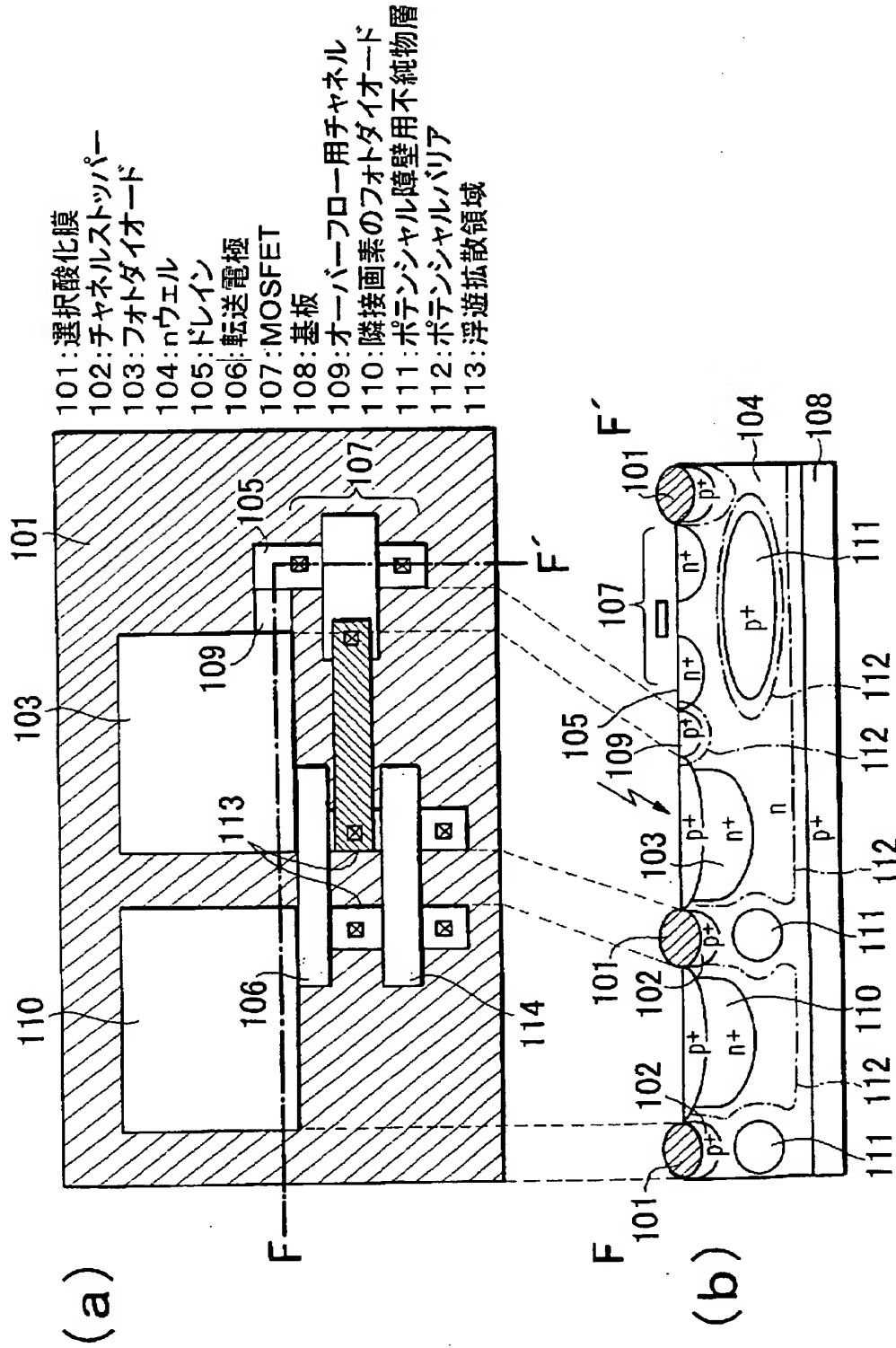
【図 4】



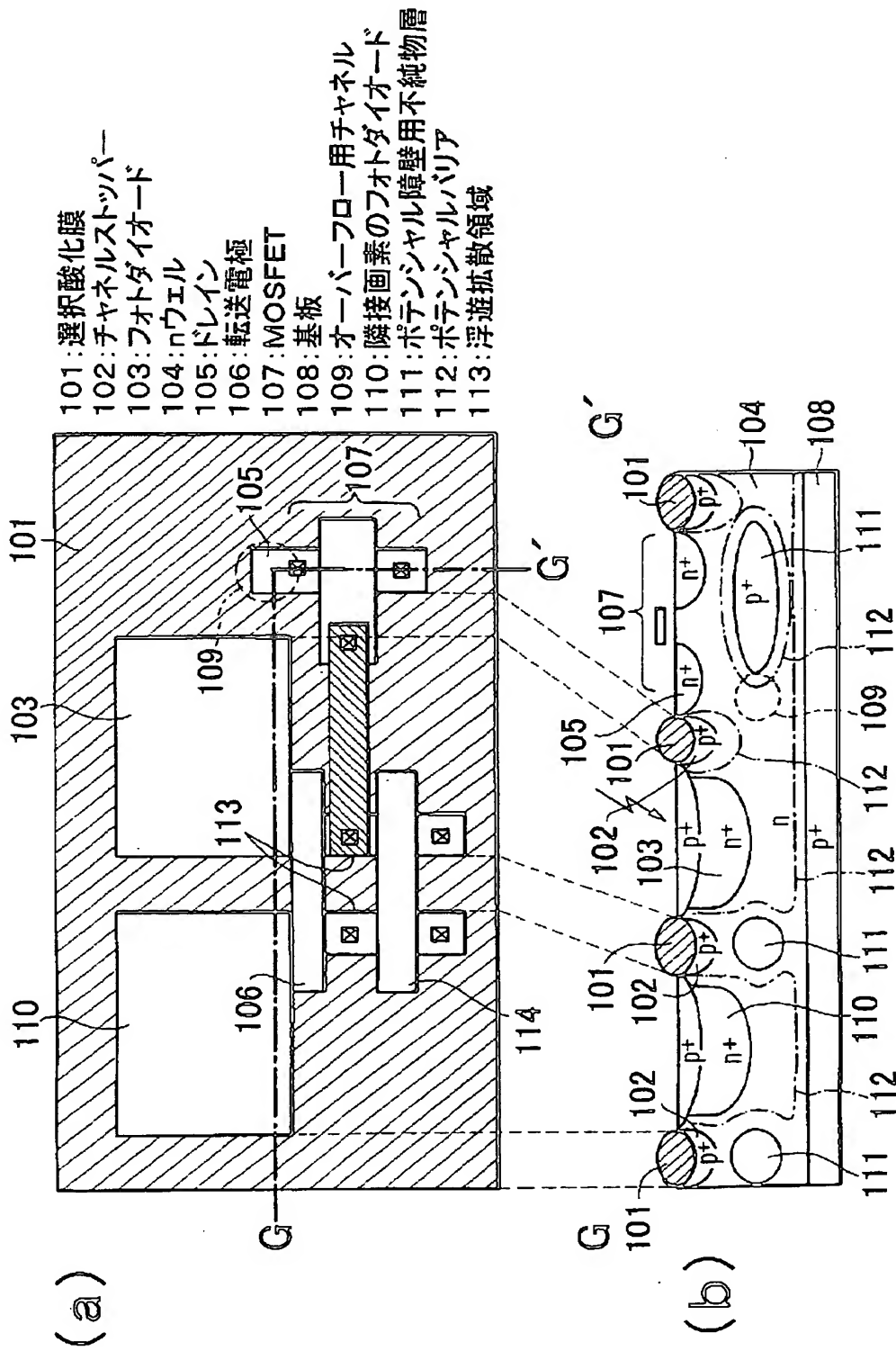
【図 5】



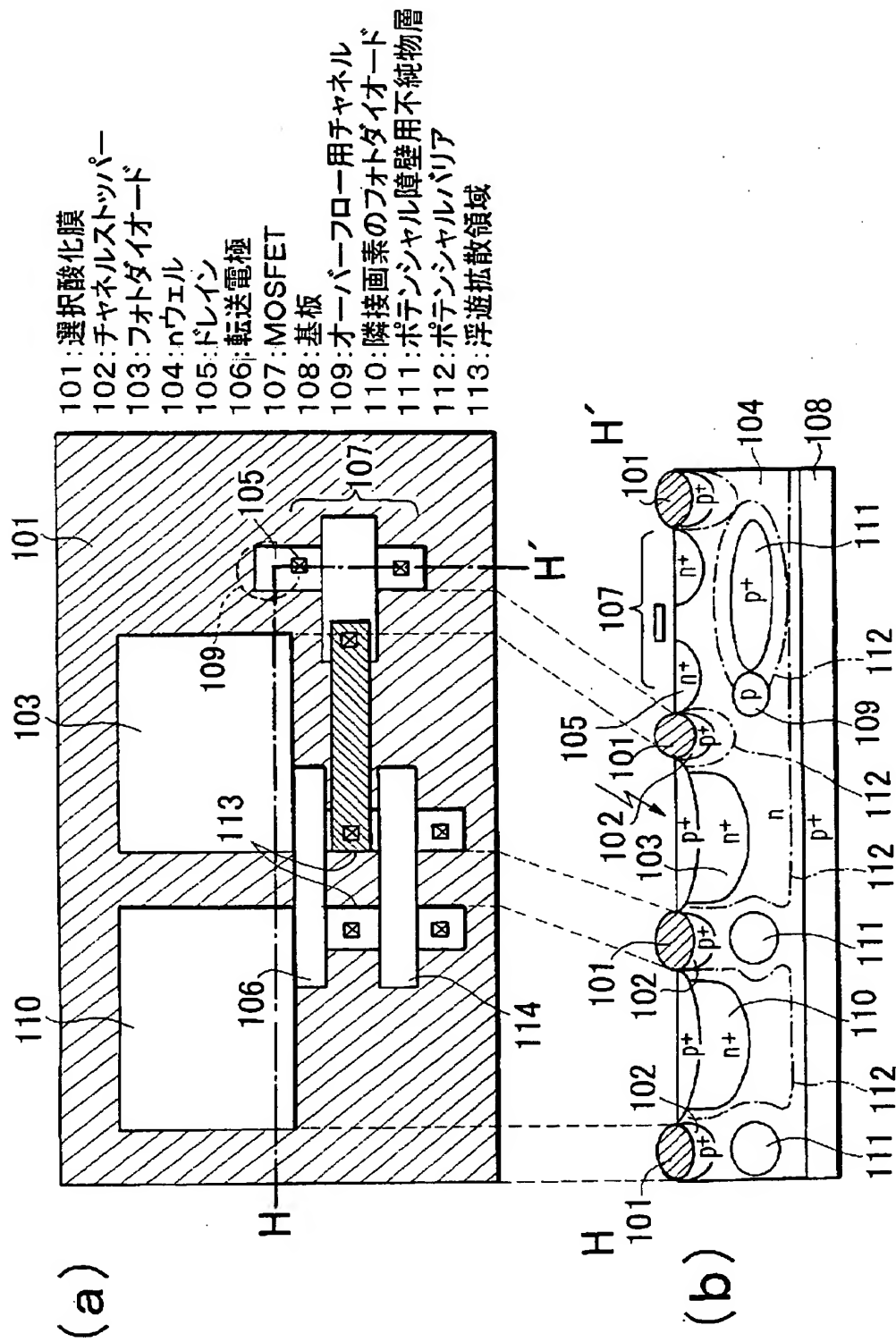
【図 6】



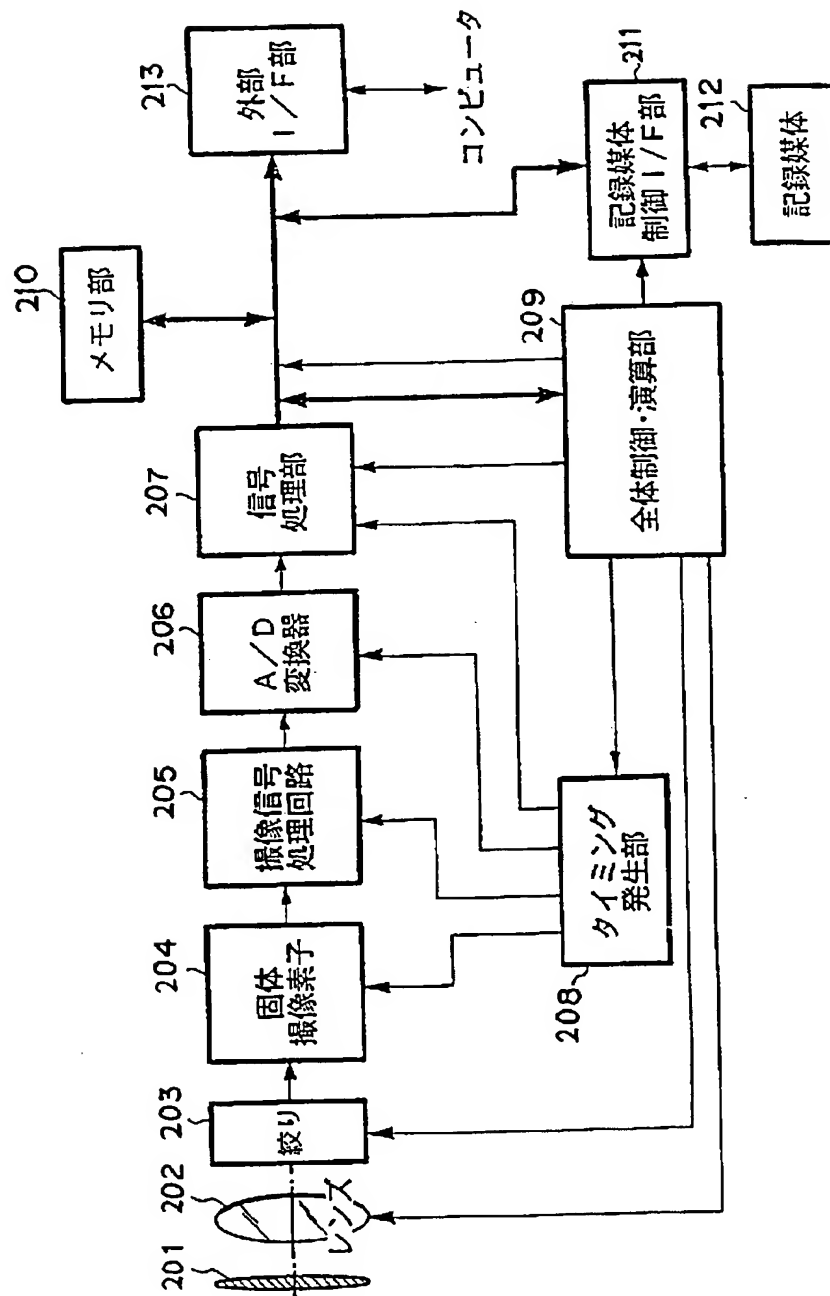
【図 7】



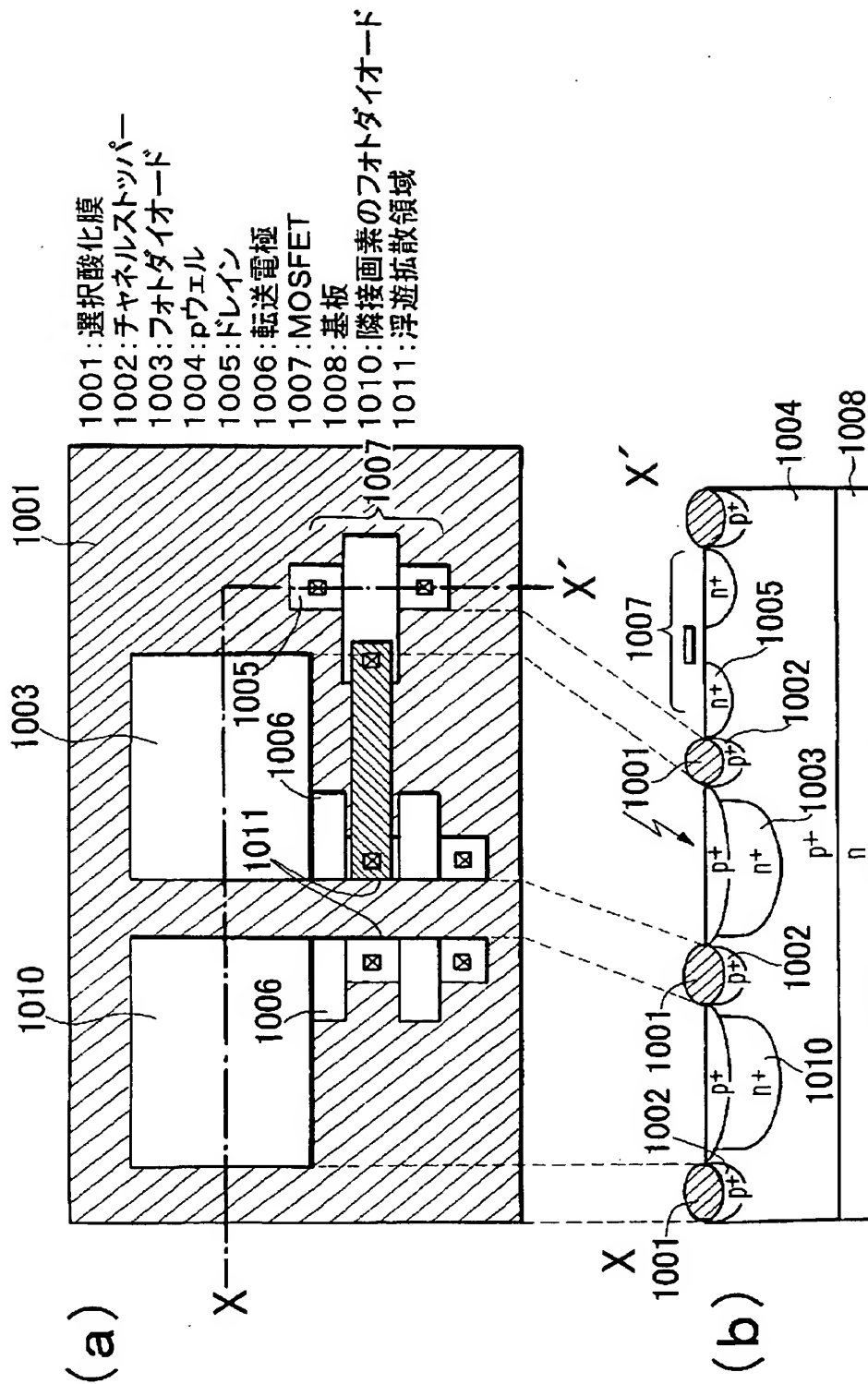
【图 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】 過剰なキャリアが隣接画素もしくは他のフローティング領域に流れ込まないようにする。

【解決手段】 入射光に対応する電荷を蓄積する光電変換領域 3 と、光電変換領域からの信号電荷が増幅用の電界効果トランジスタ 7 に入力される光電変換装置において、光電変換領域 3 はその周囲をポテンシャルバリア領域（選択酸化膜 1 及びチャネルストッパー 2）で囲み、ポテンシャルバリア領域の一部に欠損領域（オーバーフロー用チャネル 9）を生じさせ、欠損領域に隣接して、電界効果トランジスタの、光電変換領域の導電型と同一導電型のドレイン領域を配置した。

【選択図】 図 1



特願 2 0 0 2 - 3 5 1 2 9 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 0 0 7 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キヤノン株式会社